

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international



(43) Date de la publication internationale  
21 décembre 2000 (21.12.2000)

PCT

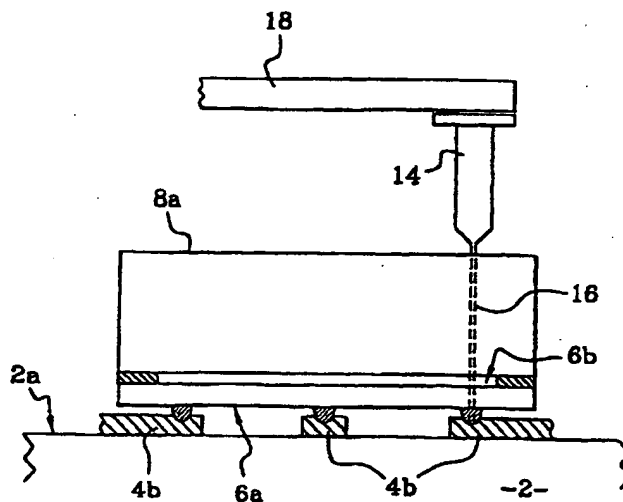
(10) Numéro de publication internationale  
WO 00/77731 A1

- (51) Classification internationale des brevets<sup>7</sup>: G06K 19/077
- (21) Numéro de la demande internationale: PCT/FR00/01494
- (22) Date de dépôt international: 30 mai 2000 (30.05.2000)
- (25) Langue de dépôt: français
- (26) Langue de publication: français
- (30) Données relatives à la priorité:  
99/07549 15 juin 1999 (15.06.1999) FR
- (71) Déposant (pour tous les États désignés sauf US): GEMPLUS [FR/FR]; Avenue Du Pic De Bertagne, Parc d'Activités de Gémenos, F-13881 Marseille (FR).
- (72) Inventeurs; et  
(75) Inventeurs/Déposants (pour US seulement): CALVAS, Bernard [FR/FR]; 30, Groupe Provence, Avenue de Verdun, F-13400 Aubagne (FR). PATRICE, Philippe [FR/FR]; Résidence Les Deux Moulin, Bâtiment D, Avenue Jean Roque, F-13190 Allauch (FR). FIDALGO, Jean-Christophe [FR/FR]; 4, rue de la Cortine, F-13420 Gémenos (FR).
- (74) Mandataire: MILHARO, Emilien; Gemplus, Boîte postale 100, F-13881 Gémenos Cedex (FR).
- (81) États désignés (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL,

[Suite sur la page suivante]

(54) Title: DEVICE AND METHOD FOR MAKING DEVICES COMPRISING AT LEAST A CHIP MOUNTED ON A SUPPORT

(54) Titre: DISPOSITIF ET PROCEDE DE FABRICATION DE DISPOSITIFS COMPRENANT AU MOINS UNE PUCE MONTÉE SUR UN SUPPORT



(57) Abstract: The invention concerns a method for making a device comprising a support (2) associated with at least a microcircuit in the form of a chip (6), for example a chip card. The invention is characterised in that it comprises, for the or each chip, steps which consist in: first providing for said chip an assembly consisting of a thin chip (6) maintained by a first surface (6b) integral with a substrate (8) and having on an opposite second surface (6a) at least a bond pad (12); forming, on a surface (2a) of the support a communication interface (4) comprising at least a connecting element (4b) with said chip; then, successively: placing said assembly comprising the chip (6) and the substrate (8) against the communication interface, with at least a bond pad (12) of the chip positioned against a corresponding connection element (4b; 24a, 24b) of the communication interface; integrating the or each pad with its respective connection element; and removing said substrate (8) from said first surface (6b) of the chip. The method advantageously uses the SOI chip technology.

[Suite sur la page suivante]



PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ,  
UA, UG, US, UZ, VN, YU, ZA, ZW.

Publiée:

— Avec rapport de recherche internationale.

- (84) États désignés (*régional*): brevet ARIPO (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), brevet eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

(57) Abrégé: Le procédé permet de fabriquer un dispositif comportant un support (2) associé à au moins un microcircuit sous forme de puce (6), par exemple une carte à puce. Il comprend, pour la ou chaque puce, les étapes consistant à: prévoir initialement pour ladite puce un ensemble composé d'une puce mince (6) maintenue par une première face (6b) solidaire d'un substrat (8) et présentant sur une deuxième face (6a) opposée au moins plot de connexion (12); former, sur une face (2a) du support une interface de communication (4) comportant au moins un élément (4b) de connexion avec ladite puce; puis, successivement: présenter ledit ensemble comprenant la puce (6) et le substrat (8) contre l'interface de communication, avec au moins un plot de connexion (12) de la puce positionné contre un élément de connexion correspondant (4b; 24a, 24b) de l'interface de communication; solidariser le ou chaque plot avec son élément de connexion respectif; et retirer ledit substrat (8) de ladite première face (6b) de la puce. Le procédé met en oeuvre avantageusement la technologie des puces SOL.